

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-20263

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 13/38

識別記号

庁内整理番号

3 1 0 B 7052-5B

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 13 頁)

(21)出願番号

特願平3-172853

(22)出願日

平成3年(1991)7月15日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 三平 裕子

東京都港区芝五丁目7番1号日本電気株式  
会社内

(72)発明者 片寄 強

東京都港区芝5丁目7番1号日本電気株式  
会社内

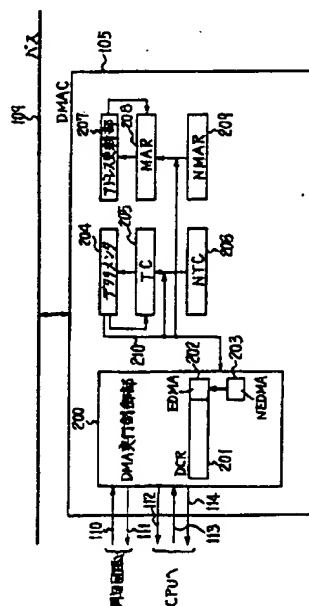
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 データ転送制御装置

(57)【要約】

【目的】 1つのDMA転送領域のDMA転送が完了したときに、次の領域のDMA転送を継続して実行するか、DMA転送を停止するかを選択して行なう。上記動作に加えて、実行中のDMA転送を緊急に停止したい場合には、転送中のDMA転送領域に対するDMA転送が終了するまで待たずに直ちにDMA転送を停止することを可能にする。

【構成】 複数のメモリ領域に対して連続してDMA転送を行なう場合に、DMA転送動作を許可状態にするEDMAビット202と、次領域に対するDMA転送を許可状態にするNEDMAビット203とを備え、DMA転送データ数をカウントするTC205がデクリメント動作により所定の値となったとき、信号210によりNEDMAビット203の内容をEDMAビット202に設定する。このEDMAビット202の内容に基づき、次のDMA転送要求が発生したときに、DMA転送を継続するか、あるいは停止するかを制御を行なう。また、上記EDMAビット202に値を直接設定することによりDMA転送を緊急に停止することもできる。



## 【特許請求の範囲】

【請求項1】 ダイレクトメモリアクセス（DMA）方式でメモリと周辺装置との間でデータ転送を行うデータ転送制御装置において、DMA転送データ数を記憶するDMAデータ数記憶手段の値を、DMA転送の1実行毎に更新する手段と、前記DMA転送データ数記憶手段の値が更新された結果所定の値になった時に、前記DMA転送データ数記憶手段を含む内部制御記憶手段に対して所定データを設定する手段と、前記DMA転送データ数記憶手段の値が更新された結果所定の値になった時に次のDMA転送領域に対してDMA転送を実行するかあるいはDMA転送を停止するかという情報を格納する次領域DMA転送動作格納手段と、実行中のDMA転送の実行を動作させるか、あるいは停止させるかのどちらか一方を選択して実行するDMA転送動作格納手段と、前記DMA転送データ数記憶手段の値が更新された結果所定の値になった時に、前記次領域DMA転送動作格納手段に格納されている値を前記DMA転送動作格納手段に設定する手段とを有することを特徴とするデータ転送制御装置。

【請求項2】 請求項1記載のデータ転送制御装置において、さらに、連続してDMA転送を繰り返すべきDMA転送対象領域数を記憶するDMA転送領域数記憶手段と、第1の請求範囲のDMA転送データ数記憶手段の値が更新された結果所定の値になった時に、前記DMA転送領域数記憶手段の値を更新するための領域数更新手段と、前記DMA転送領域数記憶手段の値が更新された結果所定の値になった時に第1の請求範囲の次領域DMA転送動作格納手段に格納されている値を第1の請求範囲のDMA転送動作格納手段に設定する手段とを有することを特徴とするデータ転送制御装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、メモリと周辺装置とのデータ転送をダイレクト・メモリ・アクセス（以下DMAと記す）方式で行うデータ転送制御装置に関する。

## 【0002】

【従来の技術】 マイクロコンピュータを利用した情報処理システムにおいて、周辺装置とメモリ間で大量のデータ転送を行ない、これらのデータを中央処理装置で処理、加工してさらに別の周辺装置、記憶装置へ転送するといった例は多くある。例えば、印字制御処理システムにおいて、中央処理装置が他のコンピュータからデータを受け取り、受け取ったデータを処理、加工し、印字装置から転送要求が起こる毎に1文字分のデータずつ転送するといった場合がその例である。このとき、周辺装置（印字装置）から中央処理装置（以下CPUと記す）へ割り込みを発生し、割り込みルーチンで上述のデータ転送を行なうと、CPUのオーバヘッド（割り込み処理のための時間）が増大し、システムのデータ処理効率が低

下するため、データ転送を専門に制御するデータ転送制御装置としてダイレクト・メモリ・アクセス・コントローラ（以下、DMACという）がある。

【0003】 DMACによるデータ転送（以下、DMA転送という）を行う場合、まず、データ転送を行うべきメモリ・アドレス、DMA転送回数等の各種制御情報をCPUの命令実行によりDMAC内にあらかじめ設定する。次に、周辺装置からのDMA転送要求をDMACが検知すると、DMACはCPUへバス使用権の空け渡しを要求する。この要求をCPUが検知すると、アドレスバス、データバスを含むバスの使用権をDMAC側に受け渡す。DMACは空いたバスを利用して、アドレス情報、リード／ライト制御信号を発生し、メモリに格納されているデータをDMA転送要求を発生した周辺装置へ転送する処理を行なう。

【0004】 このようなDMA転送動作を繰り返し行うことにより、転送回数分のデータ転送を完了すると、DMACはCPUに対してDMA転送完了を通知する。CPUはDMA完了を検出すると、割り込み処理および割り込み処理プログラム・ルーチンを実行する。この割り込み処理プログラム・ルーチンの中で、CPUは次のDMA転送実行に備えてDMACの各種制御情報を再設定し、再びDMA転送を開始する。

【0005】 このようなDMA転送を実行する際に、DMA転送の対象となるメモリ空間の領域が少ない場合、上記メモリを複数の領域に分け、交互に連続してDMA転送を実行するといった方法が一般的に行われている。

【0006】 従来のDMACにおけるメモリから周辺装置へのデータ転送について、図を用いて説明する。

【0007】 図7は従来の情報処理システム750の主要部を示すブロック図である。

【0008】 情報処理システム750は、CPU706とDMAC705と周辺装置704を含むマイクロコンピュータ700、メモリ703、周辺装置701とから構成されている。

【0009】 CPU706は、内部にプログラムカウンタ（以下PCと記す）と、プログラムステータスワード（以下PSWと記す）と、各種レジスタ等を持ち、各種命令の実行制御と、DMAC705とのアドレス・バス、データ・バス、リード信号、ライト信号からなるバス709の使用権に対する制御を含む情報処理システム750全体の動作制御を行う。

【0010】 DMAC705は、DMA転送対象アドレス情報を記憶するメモリ・アドレス・レジスタMAR728と、転送データ数を記憶するターミナル・カウンタTC725と、次のDMA転送対象となる領域の先頭アドレスを記憶するネクスト・メモリ・アドレス・レジスタNMAR729と、次のDMA転送対象となる領域の転送データ数を記憶するネクスト・ターミナルNTC726と、DMA転送制御を司るDMA実行制御部730

とから構成されている。DMA実行制御部730は、DMA転送の許可/禁止を指定するDMA許可ビットEDMA732等からなるDMAコントロール・レジスタDCR731を含んでいる。MAR728にDMA転送開始アドレスを、TC725にDMA転送データ数を、NMAR729に次のDMA転送を行なう領域の先頭アドレスを、NTC726に次のDMA転送を行なう領域の転送データ数を、CPU706によりDMA転送開始前にあらかじめ設定しておく。DMAC705は、周辺装置701からのDMA転送要求信号710の発生を検知すると、バス使用権の空け渡し要求信号であるDMAサービス要求信号（以下、DMASVF信号という）712とその許可信号であるDMAサービス許可信号（以下、DMAEN信号という）713とによりCPU706からバス使用権を得て、メモリ703と周辺装置701との間でDMA転送を実行する。

【0011】メモリ703は、CPU706のプログラム領域と、データ領域と、DMA転送領域A707とDMA転送領域B708とを含み、CPU706とDMAC705のいずれかの制御によりアドレス・バス、データ・バス、リード信号、ライト信号を含むバス709を介し情報処理システム750の各種データを記憶する。

【0012】CPU706はDMA転送開始前にまずDMA転送領域A707にDMA転送データを書き込む。CPU706がDMA転送領域A707内の最終データまでデータを書き込んだ後、CPU706はDCR731内のDMA許可ビットEDMA732をセットしてDMA転送領域A707に対するDMA転送を許可状態にする。これにより、DMAC705はDMA転送領域A707に書き込まれたデータを周辺装置701へ転送する。CPU706はDMA転送領域A707に対するDMA転送の実行以外の間に、DMA転送領域B708に対しDMA転送データを書き込む。DMA転送領域A707の最終データまでDMA転送が完了したとき、DMAC705はDMA転送領域B708のDMA転送を直ちに開始する。CPU706はDMA転送領域B708に対するDMA転送の実行以外の間に、DMA転送領域A707に対しDMA転送データを書き込む。このようにDMA転送領域A707、DMA転送領域B708は交互にDMA転送対象、またはCPU706による書き込み対象となる。

【0013】次にメモリ703と周辺装置702との間のDMA転送の動作について説明する。

【0014】周辺装置701においてDMA転送を実行する必要が生じると、周辺装置701はDMA転送要求信号710を活性化し、DMAC705に供給する。DMA転送要求信号710が活性化されたことにより、DMAC705はDMASVF信号712を活性化し、CPU706に対してバス709の使用権を要求する。

【0015】CPU706は、データ生成処理、および

生成されたデータをDMA転送領域707、708に格納する処理を含む所定のプログラム処理を実行しているが、同時に、DMAC705からのDMASVF信号712の状態を常時モニタしている。上記信号712が活性化したことを検知すると、PC、PSW、各種レジスタ類の内容をプログラム実行時の値のまま保持し、DMAEN信号713を活性化してDMAC705にバス使用権を与えたことを伝える。

【0016】バス使用権を得たDMAC705は、アドレス・バスにDMA転送領域A707のDMA転送対象アドレス情報を出力し、同時にメモリ・リード信号（RD）を活性化して転送データをメモリ703からバス上に出力する。続いてDMAC705は、周辺装置701に対しDMAライト信号（IOWR）711を活性化し、DMA転送データを書き込む。

【0017】こうした1回のDMA転送が実行される毎に、メモリ・アドレス・レジスタMAR728の内容がアドレス更新部717により更新され、ターミナル・カウンタTC725の内容がデクリメント724により“1”デクリメントされる。周辺装置701から連続してDMA転送要求が発生していなければ、DMAC705は、DMAサービス要求信号712をイン・アクティブにしてCPU706にバス使用権の放棄を伝える。CPU706はバス使用権を取り戻すと、プログラムの実行を再開する。DMAC705は、上記のDMA転送を繰り返し実行し、転送回数分のデータ転送を終了する（TC725の内容がデクリメントされ0となる）と、DMAC705はTCゼロ検出信号720により、NMAR729の内容をMAR728に、NTC726の内容をTC725にそれぞれロードし、次のDMA転送要求に備える。また、DMA割り込み要求信号714を活性化することにより、CPU706にDMA転送完了を伝える。

【0018】この割り込み要求信号714が発生すると、CPU706はPC、PSWをスタックに退避し、割り込み処理プログラム・ルーチンを起動する。このプログラム・ルーチン処理では、継続してDMA転送を実行するか否かを判定し、継続する場合にはそのまま終了し、継続しない場合にはEDMAビット732をリセットして終了する。CPU706は割り込み処理プログラムルーチンの終了後、PC、PSWをスタックから復帰させる。

【0019】上記のように、1つのDMA転送領域のDMA転送が終了したときに発生する割り込み処理ルーチンで、次のDMA転送を継続して行わない場合には、EDMAビットをリセットしているが、このとき、EDMAビットをリセットするまでの間に次のDMA転送要求が発生すると、次の領域に対するDMA転送が実行されてしまう。

【0020】このため、次のような2方式が考えられて

10

20

30

40

50

いる。

【0021】第1の方式は、DMA転送終了割込みの中で上記と同様TC726の値を変更し、NTC726に値を書き続ける限りは次のDMA転送領域に対するDMA転送を継続して実行するように制御し、NTC726に値が書かれなくなったとき、次のDMA転送領域に対するDMA転送を実行しないように制御する方式である。

【0022】第2の方式は、DMA転送許可ビットに“1”を設定してDMA転送を許可状態にし、最後のDMA転送領域に対するDMA転送実行中に上記ビットを“0”にし、最後のDMA転送領域に対するDMA転送でTCが0となったときに初めて上記ビットが有効となって、DMA転送が停止する方式である。

【0023】上記二方式のいずれの場合にも、DMA転送領域の最終データまでDMA転送を完了したときに確実にDMA転送を停止させることができる。

【0024】

【発明が解決しようとする課題】上述したように、従来のDMA転送制御装置を応用した情報処理システムにおいて、DMA転送領域の最終データまでDMA転送を終了したときにDMA転送を停止する方式として二方式あり、第一の方式としては、NTC726に値が書かれなくなったとき、実行中のDMA転送領域の最終データに対するDMA転送完了時にDMA転送を停止させる方式、第二の方式としては、DMA転送許可ビットが“0”に設定されたとき、実行中のDMA転送領域の最終データに対するDMA転送完了時にDMA転送を停止させる方式があった。

【0025】第一の方式としては、DMA転送データ数がそれぞれのDMA転送領域で等しい場合にもDMA転送領域に対するDMA転送が終了する度に、NTCの値を設定し直さなければならない。また、第一の方式、第二の方式ともに、DMA転送領域に対するDMA転送が終了したときに、DMA転送を停止することはできるが、例えば、データ処理生成上に発生したエラー等の要因により、緊急にDMA転送を停止させたい場合にも、実行中の領域のすべてのデータに対するDMA転送が終了するまで停止させることができないといった問題点があった。

【0026】

【課題を解決するための手段】本発明の第1のデータ転送制御装置は、ダイレクトメモリアクセス（DMA）方式でメモリと周辺装置との間でデータ転送を行うデータ転送制御装置において、DMA転送データ数を記憶するDMAデータ数記憶手段の値を、DMA転送の1実行毎に更新する手段と、前記DMA転送データ数記憶手段の値が更新された結果所定の値になった時に、前記DMA転送データ数記憶手段を含む内部制御記憶手段に対して所定データを設定する手段と、前記DMA転送データ数

記憶手段の値が更新された結果所定の値になった時に次のDMA転送領域に対してDMA転送を実行するかあるいはDMA転送を停止するかという情報を格納する次領域DMA転送動作格納手段と、実行中のDMA転送の実行を動作させるか、あるいは停止させるかのどちらか一方を選択して実行するDMA転送動作格納手段と、前記DMA転送データ数記憶手段の値が更新された結果所定の値になった時に、前記次領域DMA転送動作格納手段に格納されている値を前記DMA転送動作格納手段に設定する手段とを有することにより、次のDMA転送領域に対するDMA転送を継続して実行するように指定した場合には、更新された内部制御記憶手段に基づいたDMA転送が継続して実行され、次のDMA転送領域に対するDMA転送を継続しないように指定した場合には、自動的にDMA転送動作を停止し、かつ、上記動作に加えて、緊急にDMA転送を停止させることも可能にしたデータ転送制御装置である。

【0027】好ましくは、本発明のデータ転送制御装置は、さらに、連続してDMA転送を繰り返すべきDMA転送対象領域数を記憶するDMA転送領域数記憶手段と、第1の請求範囲のDMA転送データ数記憶手段の値が更新された結果所定の値になった時に、前記DMA転送領域数記憶手段の値を更新するための領域数更新手段と、前記DMA転送領域数記憶手段の値が更新された結果所定の値になった時に第1の請求範囲の次領域DMA転送動作格納手段に格納されている値を第1の請求範囲のDMA転送動作格納手段に設定する手段とを有することにより、指定回数のDMA転送領域に対するDMA転送が終了したときにCPUの介在なしに自動的にDMA転送動作を停止し、かつ、上記動作に加えて、緊急にDMA転送を停止させることも可能にしたデータ転送制御装置である。

【0028】

【実施例】本発明のデータ転送制御装置の実施例について図を用いて説明する。

【0029】図1は本発明のデータ転送制御装置であるDMAC105を内蔵するマイクロコンピュータ100を用いた情報処理システム150の構成を示すブロック図で、第2図はDMACの腰部構成を示すブロック図である。マイクロコンピュータ100は中央処理装置CPU106と、周辺装置104（例えばデータ受信制御回路）と、周辺装置101とメモリ103との間のデータ転送処理を実行制御するデータ処理回路としてのDMAC105とを有している。

【0030】マイクロコンピュータ100は、周辺装置104で受信したデータを加工処理してメモリ103内のDMA転送領域A107、あるいはDMA転送領域B108に書き込み、DMAC105を用いて周辺装置101（例えばプリンタ制御装置）に転送するといった情報処理システム全体の制御を行なう。

【0031】周辺装置101は、データのリード／ライト用バッファを備えており、DMAC105により上記バッファに送られたデータを基に、印字処理、表示処理等の周辺装置固有の処理を行う。

【0032】メモリ103は、CPU106のプログラム領域とデータ領域、二分割したDMA転送領域であるDMA転送領域A107とDMA転送領域B108とを含み、CPU106とDMAC105のいずれかの制御によりバス109を介して情報処理システムの各種データを記憶する。

【0033】マイクロコンピュータ100のCPU106は、内部にPC、PSW、各種制御レジスタ等を含み、各種命令の実行制御と、DMAC105との間でのアドレス・バス、データ・バス、リード信号、ライト信号を含むバス109の使用権に対する制御とを含む動作制御を行う。

【0034】マイクロコンピュータ100のDMAC105は、図2に示すように、DMA転送領域A107、またはDMA転送領域B108内のDMA転送対象アドレス情報を記憶するメモリ・アドレス・レジスタMAR208と、MAR208の内容を更新するアドレス更新部207と、次のDMA転送対象となる領域の先頭アドレスを記憶するネクスト・メモリ・アドレス・レジスタNMAR209と、DMA転送領域A107、またはDMA転送領域B108にDMA転送する転送データ数を記憶するターミナル・カウンタTC205と、TC205の値をデクリメントするデクリメンタ204と、次のDMA転送対象となる領域の転送データ数を設定するネクスト・ターミナル・カウンタNTC206と、DMA転送制御を司るDMA実行制御部200とから構成されている。

【0035】DMA実行制御部200は、DMA転送の許可／禁止を指定するDMA許可ビットEDMA202、DMA転送単位（バイト／ワードなど）を指定するビット、DMA転送方向（I／O→MEM・MEM→I／O）を指定するビット等から構成されるDMAコントロール・レジスタDCR201と、次のDMA転送領域に対するDMA転送を許可するか禁止するかを示す次領域DMA許可ビットNEDMA203とを含んでいる。DMA許可ビットEDMA202は“1”が設定されているときDMA転送が許可状態であることを示し、

“0”が設定されているときDMA転送が禁止状態であることを示す。また、次領域DMA許可ビットNEDMA203は“1”が設定されているとき次MPDMA転送領域に対するDMA転送が許可状態であることを示し、“0”が設定されているとき禁止状態であることを示す。

【0036】MAR208に1回目のDMA転送領域の先頭アドレスを、TC205に1回目のDMA転送領域のDMA転送データ数を、NMAR209に2回目のD

MA転送領域の先頭アドレスを、NTC206に2回目のDMA転送領域の転送データ数を、CPU106によりDMA転送開始前にあらかじめ設定しておく。

【0037】次に、メモリ103から周辺装置101へデータを転送する際のCPU106側のソフトウェア処理について説明する。

【0038】DMA転送領域103はDMA転送領域A107、DMA転送領域B108の二つのDMA転送対象領域が含まれており、ここではDMA転送領域A107からDMA転送を実行し、領域A107のDMA転送終了後、引続きDMA転送領域Bに対するDMA転送を実行し、その御再び領域A107に対するDMA転送を実行する、というように順次上記二領域に対して交互にDMA転送するものとする。CPU106はDMAC105内の各レジスタに対してDMA転送情報を初期設定する。すなわち、DMA転送領域A107の先頭アドレスをMAR208に、DMA転送領域B108の先頭アドレスをNMAR209に、DMA転送領域A107のDMA転送データ数をTC205に、DMA転送領域B108のDMA転送データ数をNTC206にそれぞれ設定する。CPU106はDMA転送開始前にまずDMA転送領域AにDMA転送データを書き込む。CPU106がDMA転送領域A107内の最終データまでデータを書き込んだ後、CPU106はDCR201内のDMA許可ビットEDMA202をセットしてDMA転送を許可状態にする。DMAC105はDMA転送領域A107に書き込まれたデータを周辺装置101へ転送する。CPU106はDMA転送領域A107に対するDMA転送の実行以外の間に、DMA転送領域B108に対しDMA転送データを書き込む。DMA転送領域A107の最終データまでDMA転送が完了すると、DMAC105はDMA転送領域B108のDMA転送を直ちに開始する。CPU106はDMA転送領域B108に対するDMA転送の実行以外の間に、DMA転送領域A107に対しDMA転送データを書き込む。このようにDMA転送領域A107、DMA転送領域B108は交互にDMA転送対象、またはCPU511による書き込み対象となる。

【0039】次に、DMAC105によるメモリ103から周辺装置101へのDMA転送動作について具体的に説明する。

【0040】周辺装置101においてDMA転送を実行する必要が生じると、周辺装置101はDMA実行制御部200に対してDMA転送要求信号110を活性化する。

【0041】このとき、EDMAビット202が“1”に設定されている場合には、DMA実行制御部105は、DMASVF信号112を活性化し、CPU106に対して供給する。EDMAビット202が“0”に設定されている場合には、DMASVF信号112を活性

化しない。CPU106は、DMASVF信号112を活性化されたことを検知すると、PC、PSW、各種レジスタ類の内容をプログラム実行時の値のまま保持しDMAEN信号113を活性化して、DMAC105にバス使用権を与えたことを伝える。

【0042】バス109の使用権を得たDMAC105は、MAR208の内容が示すDMA転送対象アドレス情報をバス109に出力してDMA転送領域A107から転送データをバス109上に読み出し、周辺装置101に対してDMAライト信号(IOWR)111を出力する。これにより、周辺装置101は転送データの書き込みを行なう。

【0043】上記DMA転送を1回実行するごとに、TC205の内容はデクリメント204に読み出され

“1”デクリメントされた後書き戻される。また、DMA転送を1回実行するごとにMAR208の内容はアドレス更新部207に読み出されインクリメント、デクリメント等により次のDMA転送対象アドレスに更新された後、書き戻される。周辺装置101から連続してDMA転送要求信号110が発生していなければ、DMAC105は、DMASVF信号112をイン・アクティブにして、CPU106にバス使用権の放棄を伝えDMA転送動作を終了する。CPU106はバス使用権を取り戻すと、プログラムの実行を再開する。

【0044】次にDMA転送要求が発生すると、DMAC105は更新されたMAR208が示すDMA転送対象アドレスに対して引き続き上記と同様のDMA転送を実行する。

【0045】以上のようなDMA転送を実行する度にTC205がデクリメントされていき、TC205が0となったとき、すなわちDMA転送領域A107のすべてのデータに対するDMA転送が終了したとき、TCゼロ検出信号210が活性化される。この検出信号210が活性化されると、NMAR209の内容がMAR208に、NTC206の内容がTC205にそれぞれロードされる。また、上記検出信号210はDMA実行制御部200にも供給される。DMA実行制御部200はこの検出信号210の活性化により、NEDMAビット203の内容をEDMAビット202にセットするとともに、CPU11に対してDMA割り込み要求信号INT RQ114を活性化する。

【0046】ここで、NEDMAビット203には、次のDMA転送領域に対するDMA転送を行なうか否かの情報が設定されている。次にDMA転送領域に対するDMA転送を行なう場合、NEDMA203には“1”が設定されているので、上記動作によりNEDMA203の内容がEDMAビット202に格納されると、EDMAビット202はセット(“1”)されたままとなるので、次のDMA転送要求が発生した場合DMASVF信号112が活性化され、DMA転送領域B108から引

続きDMA転送が開始される(図4(A))。また、次のDMA転送領域に対するDMA転送を行わない場合、NEDMA203には“0”が設定されているので、EDMAビット202はリセット(“0”)される。次のDMA転送要求が発生するとDMA転送要求はマスクされ、DMASVF112は活性化されないため、次のDMA転送が実行せず停止する(図5(A))。

【0047】一方、CPU106は、DMA転送領域A107に対するDMA転送が終了したことにより起動される割り込み処理プログラム・ルーチンで、第3図に示すような処理を行なう。まず、現在DMA転送が行われているDMA転送領域(領域B108)の最終データまでDMA転送を完了後、次のDMA転送領域(領域A107)に対するDMA転送を引続き実行するか否かを判断する。引続き実行しない場合、NEDMAビット203を“0”にリセットする。実行する場合、NEDMAビット203を“1”にセットしたままにしておき、DMA転送領域A107のDMA転送開始アドレスをNMAR209に、DMA転送領域A107の転送データ数をNTC206にそれぞれ設定して、領域Bに対するDMA転送が終了したとき引続き領域Aに対するDMA転送を開始できるように準備しておく。

【0048】上述のようにして、DMA転送終了割り込み処理ルーチンの中で、次のDMA転送対象領域に対するDMA転送許可ビットNEDMA203をセット、あるいはリセットすれば、現在実行中のDMA転送終了時に次の領域のDMA転送を継続して実行するか、あるいはDMA転送を停止することができる。

【0049】また、DMA転送データを生成処理時に発生したエラー等の要因で、実行中のDMA転送を緊急に停止する必要がある場合、EDMAビット202をCPU106により直接リセットする。これにより、次にDMA転送要求が発生しても、DMA転送要求はEDMAビット202によりマスクされ、DMASVF112が活性化されず、DMA転送は停止する(図4(B))。

【0050】第2の実施例について図6を用いて説明する。なお本実施例の構成は実施例1とほぼ同様の構成であるのでここでは実施例1と異なる部分についてのみ説明する。

【0051】本実施例ではDMA実行制御部600内に、EDMAビット202等からなるDMAコントロール・レジスタDCR201と、NEDMAビット203の他に、何領域のDMA転送対象領域に対して継続してDMA転送を実行するかを示すエリア・カウンタ601と、上記エリア・カウンタ601をデクリメントするデクリメント602が含まれている。

【0052】CPU11はDMA転送に先だって、実施例1と同様TC205、NTC206、MAR208、NMAR209に対し初期設定を行なうとともに、上記



エリア・カウンタ601に継続してDMA転送を実行するDMA転送領域数を設定しておく。また、NEDMAビット203は“0”に設定しておく。その後、EDMA202をセットしてDMA転送領域A107に対するDMA転送をスタートする。

【0053】DMA転送要求信号110が活性化されると実施例1と同様にDMA転送が実行される。TC205の値がデクリメントされた際0となったとき、すなわち1つのDMA転送領域に対するDMA転送が終了したとき、TCゼロ検出信号604が活性化され、エリア・カウンタ601の内容がデクリメント602に読み出され、“1”デクリメントされた後書き戻される。TC205がデクリメントされ0となる度に、エリア・カウンタ601の内容はデクリメントされる。エリア・カウンタ601がデクリメントされた結果0となったとき、エリア・カウンタ・ゼロ検出信号603を活性化する。この検出信号603によりDMA実行制御部600は、継続してDMA転送すべき領域数分のすべてのDMA転送を完了したことを検知し、NEDMAビット203をEDMAビット202にロードする。このとき、NEDMAビット203には“0”が格納されているので、EDMAビット202には“0”が格納される。このため、次のDMA転送要求が発生してもEDMAビット202によりマスクされ、DMASVF112は活性化されず、DMA転送は直ちに停止する。

【0054】このように本実施例では、DMA転送領域数をあらかじめエリア・カウンタに格納しておき、エリアカウンタで指定された数のDMA転送領域に対するすべてのDMA転送が終了したときにDMA転送を禁止するので、DMA転送を実行する領域数をCPUにより管理することなく、DMA転送を停止することができる。例えば、印字するデータをCPUで生成しDMA転送によりプリンタに転送する場合、印字する1行分のデータを1つのDMA転送領域に対応させて連続してDMA転送し、1ページ分のデータのDMA転送を完了したときにDMA転送を停止させることがある。この場合、エリア・カウンタに1ページ分の行数をあらかじめ設定しておけば、1ページ分のデータのDMA転送が終了したとき、CPUが介在することなくDMA転送を停止することができる。

【0055】また、DMA転送データを生成処理時に発生したエラー等の要因で、実行中のDMA転送を緊急に停止する必要がある場合、EDMAビット202をCPU106により直接リセットすれば、実施例1と同様にして、リセットした直後からDMA転送を停止することもできる。

【0056】なお、実施例1、実施例2ではメモリ・アドレス・レジスタを直接更新する方式を採ったが、メモリ・アドレス・レジスタとターミナル・カウンタとを加算または減算する演算を行ってDMA転送対象アドレス情報を生成する方式を採った場合にも、本発明と同様の構成により実現できることは容易に類推できる。

【0057】

【発明の効果】以上説明したように、本発明のマイクロコンピュータにおけるデータ転送制御装置(DMAC)によれば、1つのDMA転送領域に対し、転送回数分のDMA転送が完了したときに、次のDMA転送の先頭アドレス、および次のDMA転送領域の転送回数を自動的に更新し、次のDMA転送領域に対するDMA転送を継続して実行するように指定されている場合には、更新されたアドレス、転送回数に伴ったDMA転送が継続して実行され、また、次のDMA転送領域に対するDMA転送を継続しないように指定されている場合には、自動的にDMA転送動作を停止する。これにより、例えば印字するデータをCPUで生成しDMA転送によりプリンタに転送する場合、印字する1行分のデータを1つのDMA転送領域に対応させて連続してDMA転送し、最終行のDMA転送を実行しているときに次転送領域に対するDMA転送を継続しないように指定すれば、1ページ分のデータのDMA転送を完了したときにDMA転送を停止させることができる。

【0058】上記動作に加えて、例えば、データ処理時に発生したエラー等の要因により、緊急にDMA転送を停止させたい場合には、DMA転送許可ビットをリセットすることにより、転送実行中のDMA転送領域に対するDMA転送が終了するまで待たずに直ちにDMA転送を停止させることができる。

【図面の簡単な説明】

【図1】本発明の第一の実施例におけるDMACを用いた情報処理システム構成を示すブロック図である。

【図2】本発明の第一の実施例におけるDMACの要部構成を示すブロック図である。

【図3】本発明の第一の実施例のDMA転送におけるCPU処理フローである。

【図4】本発明の第一の実施例におけるDMA転送動作のタイミング・チャートである。

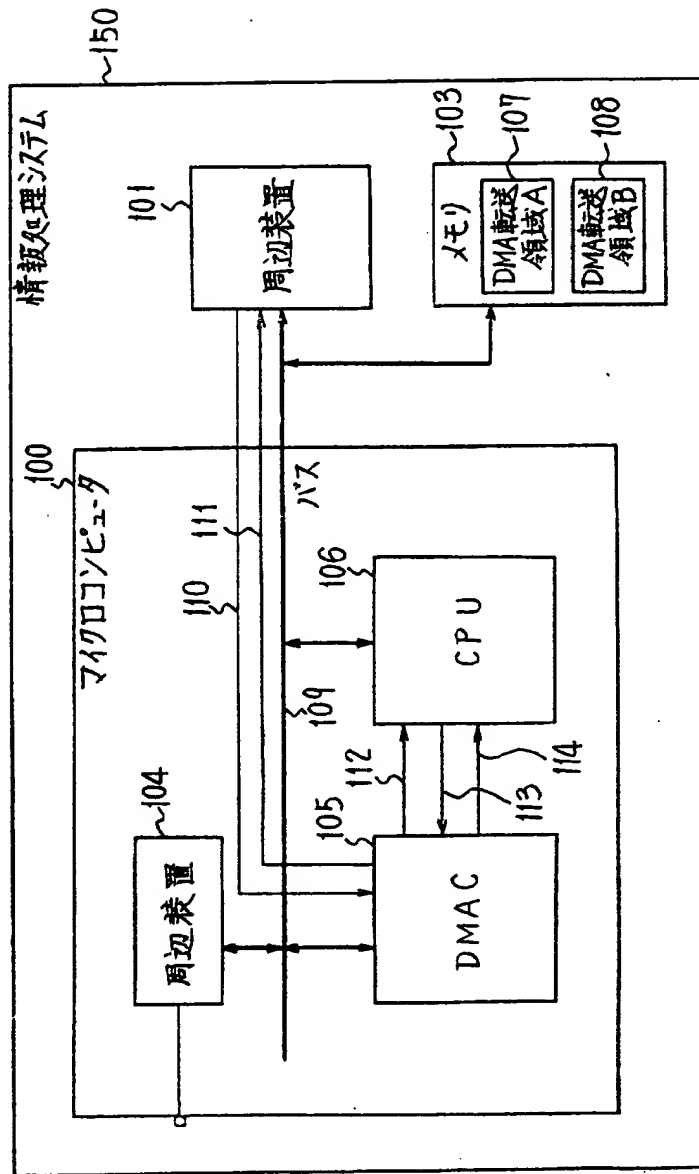
【図5】本発明の第一の実施例におけるDMA転送動作のタイミング・チャートである。

【図6】本発明の第二の実施例におけるDMACの要部構成を示すブロック図である。

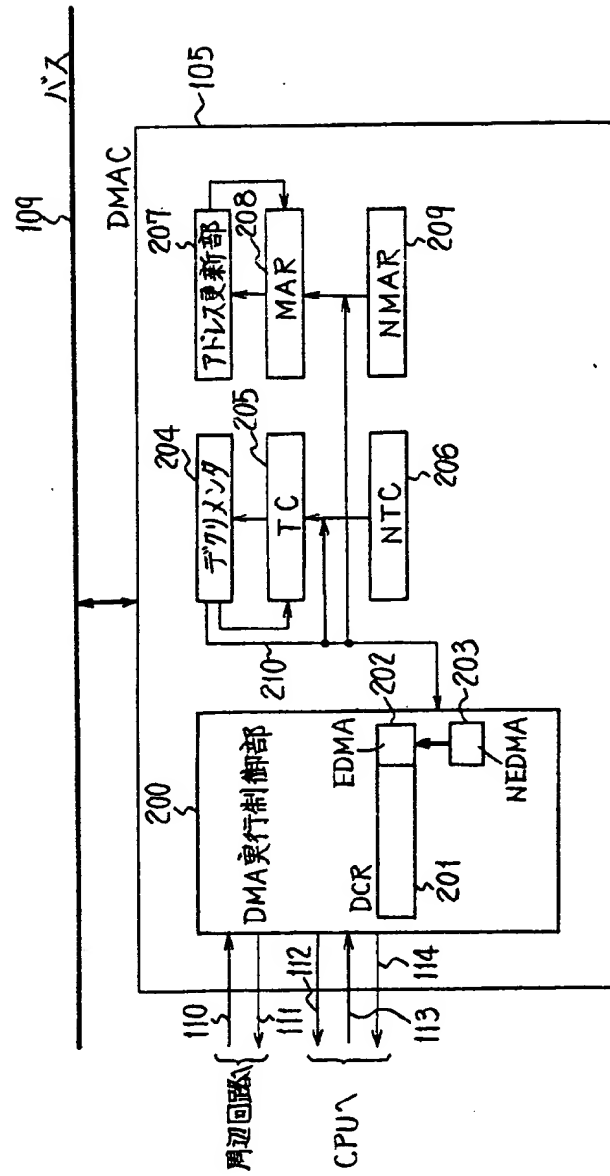
【図7】従来のDMACを用いて情報処理システムのブロック図である。



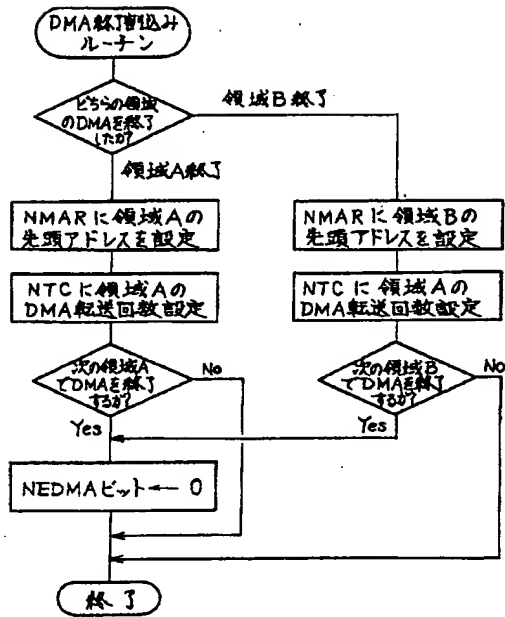
【図1】



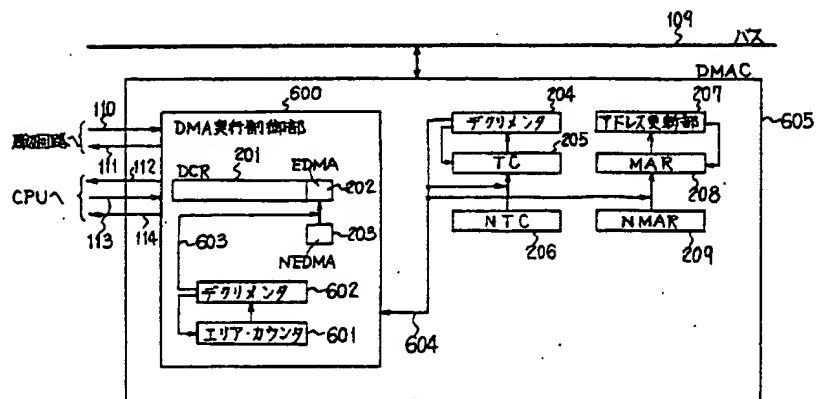
【図2】



【図3】



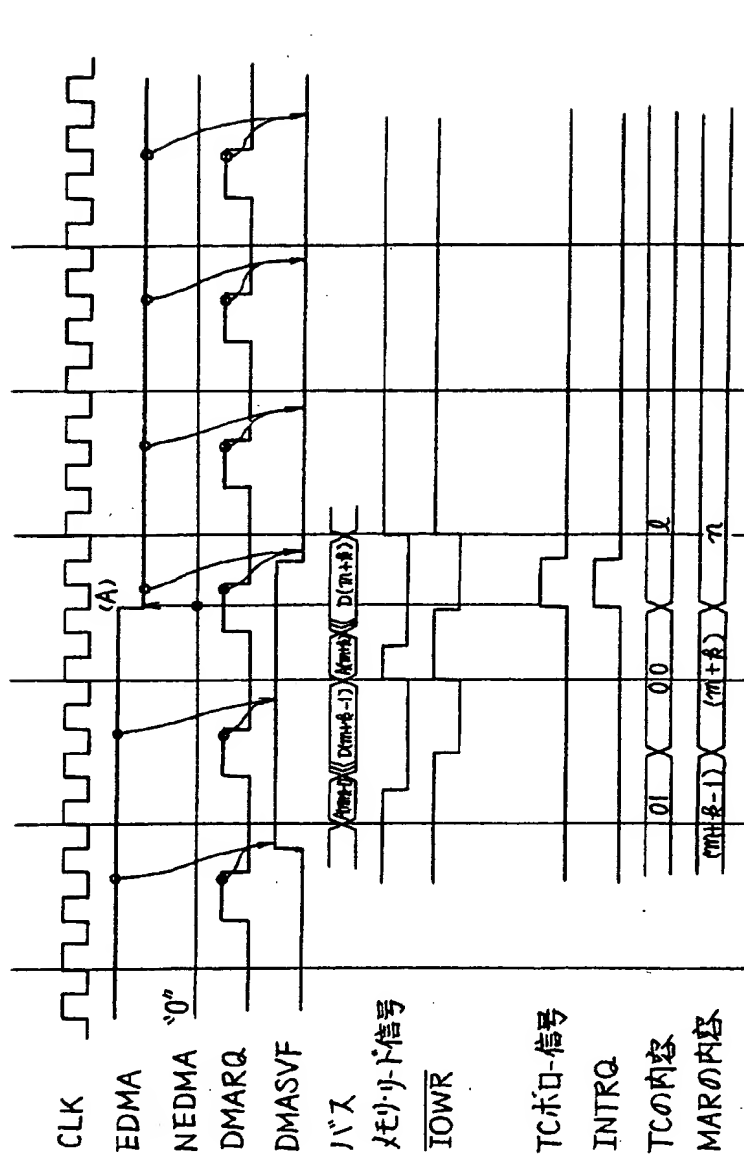
【図6】



The diagram illustrates the timing of several signals relative to a common clock (CLK). The signals shown are EDMA, NEDMA, DMARQ, and DMASVF. The data bus (バス) is divided into four segments, each containing a sequence of data values:  $(m+1) \dots (m+g-1)$ ,  $(m+g)$ ,  $(m+g+1) \dots (m+g)$ , and  $(m+g+1) \dots (m+g+1)$ . The signals are active during specific clock cycles, with DMASVF being active during the first segment and DMARQ being active during the second segment. The diagram also shows the state of the TOWR signal, which is active during the first segment. The TC (Target Counter) and MAR (Memory Address Register) are shown at the bottom, with TC containing the value 01 and MAR containing the value  $(m+g-1)$ .

- m : DMA転送領域Aの先頭アドレス
- n : DMA転送領域Bの先頭アドレス
- k : DMA転送領域Aの転送データ数
- l : DMA転送領域Bの転送データ数

【図5】



$m$ : DMA転送領域Aの先頭アドレス  
 $n$ : DMA転送領域Bの先頭アドレス  
 $k$ : DMA転送領域Aの転送データ数  
 $l$ : DMA転送領域Bの転送データ数

【図7】

